

РАЗРАБОТКА IP-ЯДРА ЦИФРОВОГО СИНТЕЗАТОРА СИГНАЛОВ

Вертегел В.В., Чижевский Б.В.

Севастопольский национальный технический университет, Украина

E-mail: vertegel@bk.ru, boris.chij@gmail.com

Аннотация — Рассмотрено IP-ядро цифрового синтезатора сигналов, формирующего квадратурные гармонические сигналы. Приведена структурная схема синтезатора, кратко описаны Verilog-модули, приведены результаты моделирования.

1. Введение

Генерация сигналов методом прямого цифрового синтеза (*Direct Digital Synthesizer* — *DDS*) сегодня широко используется в цифровых системах связи, навигации, радиолокации. На основе *DDS* синтезаторов выполняют цифровые модуляторы радиопередающих устройств, квадратурные преобразователи частоты, демодуляторы фазоманипулированных сигналов цифровых радиоприемных устройств. Синтезаторы *DDS* позволяют получать высокостабильные периодические сигналы произвольной формы в диапазоне частот от долей герц до сотен мегагерц с малым шагом перестройки, обеспечивать высокоскоростную перестройку частоты сигнала, а также формировать квадратурные сигналы с высокой точностью разности фаз в широком диапазоне частот перестройки. Параметры таких синтезаторов практически не зависят от температуры и старения элементов.

Современные интегральные микросхемы, реализуемые по идеологии «система на кристалле» (СНК), представляют собой совокупность взаимосвязанных функциональных блоков. Такие функциональные блоки называют IP-ядрами (*Intellectual Property Core*) [1, 2]. В докладе рассматривается структура разработанного IP-ядра *DDS* синтезатора, формирующего квадратурные сигналы.

2. Основная часть

Упрощенная структурная схема *DDS* синтезатора показана на рис. 1.

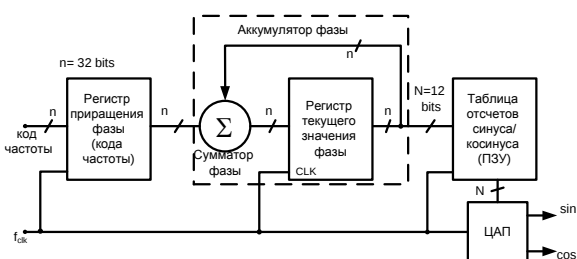


Рис. 1

Проектируемый синтезатор формирует квадратурные сигналы с программно задаваемой частотой из сигнала опорного тактового генератора (*clk*). Синтезатор содержит регистр кода частоты, аккумулятор фазы, таблицу отсчетов синуса/косинуса и выходные ЦАП. В аккумуляторе происходит сложение его текущего значения с кодом частоты, записанным в регистре приращения фазы, до момента переполнения аккумулятора, после чего цикл работы аккумулятора возобновляется. Таким образом, аккумулятор фазы периодически формирует последовательность кодов мгновенной фазы сигнала, которая изменяется линейно. Скорость изменения фазы

задается кодом частоты. Разрядность аккумулятора равна 32 бит. Двенадцать наиболее значащих разрядов аккумулятора передаются в таблицу отсчетов синуса/косинуса (ПЗУ). В таком ПЗУ адреса ячеек соответствуют значениям фазы, а содержимое ячеек — отсчетам синусоиды. Таблица была минимизирована с учетом свойств периодичности и симметричности функции синус и содержит только 1/4 её периода. Для генерации функции косинуса использована та же таблица со сдвигом фазы. На выходе таблицы отсчетов появляются цифровые отсчеты мгновенных значений квадратурных сигналов, которые поступают в выходные регистры с параллельной загрузкой для удержания входного значения ЦАП, которые преобразуют их в ступенчатые гармонические сигналы. Разрядность выходных данных *DDS* синтезатора равна 10 бит.

Проектируемое IP-ядро реализовано с использованием описания аппаратуры на уровне регистровых передач (*RTL*) на языке *Verilog*, которое может быть использовано для практической реализации *DDS* синтезатора на базе ПЛИС или функционального блока заказной интегральной схемы. Проведенное в программе *ModelSim* функциональное моделирование ядра свидетельствует о корректности *Verilog RTL* описания.

3. Заключение

Разработанное IP-ядро цифрового синтезатора позволяет программно изменять частоту сигнала с высокой точностью и стабильностью шага перестройки. *DDS* синтезатор способен формировать квадратурные сигналы с высокой точностью сдвига фазы между ними во всем рабочем диапазоне частот, а также обеспечивает возможность цифровой частотной и фазовой манипуляции, цифровую квадратурную амплитудную модуляцию. Преимущества *DDS* синтезаторов, обуславливаемые малым уровнем фазовых шумов, возможностью цифрового управления в сочетании с низкой стоимостью и малым энергопотреблением позволяют использовать их в различных системах ЦОС. Задачей дальнейших исследований является экспериментальное определение характеристик синтезатора.

4. Список литературы

- [1] Стариков О.А. Прямой цифровой синтез и его применение / О.А. Стариков // Инженерная практика. — 2002. — Т.18. — №3. — С. 56 — 64.
- [2] Манасевич В. Синтезаторы частот / В. Манасевич. — М.: Связь, 1979. — 384 с.

DIGITAL SIGNAL SYNTHESIZER IP-CORE DEVELOPMENT

Vertegel V.V., Chizjevski B.V.

Sevastopol National Technical University, Ukraine

Abstract — The IP-core of the digital signal synthesizer, which forms harmonic quadrature signals, was proposed. The synthesizer's block diagram and the Verilog RTL description of the IP-core were introduced. The results of the core simulation were presented.